



(19)

(11) Publication number:

05259374 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04058241

(51) Intl. Cl.: H01L 25/065 H01L 25/07 H01L 25/18

(22) Application date: 16.03.92

(30) Priority:

(43) Date of application publication: 08.10.93

(84) Designated contracting states:

(71) Applicant: SUMITOMO ELECTRIC IND LTD

(72) Inventor: AWAI HIROMITSU

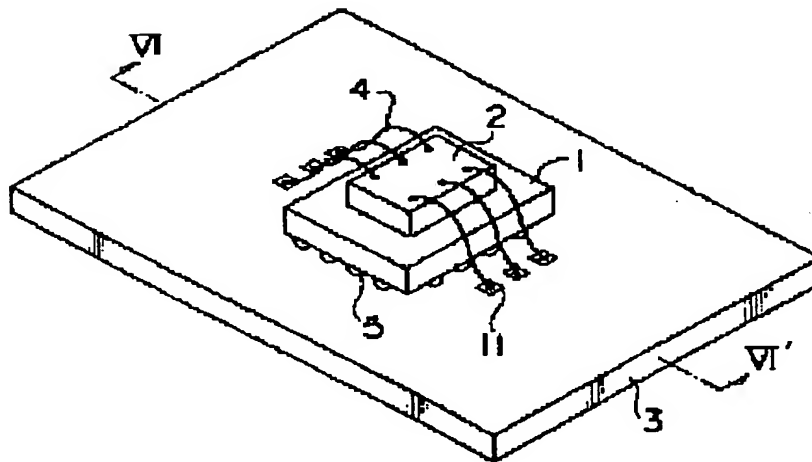
(74) Representative:

(54) HIGH-DENSITY MOUNTING WIRING BOARD AND HIGH-DENSITY MOUNTING METHOD

(57) Abstract:

PURPOSE: To enable high-density mounting of electronic components on a wiring board thereby to miniaturize electronic equipment, by mounting another electronic component on an electronic component mounted on the wiring board by die bonding.

CONSTITUTION: A first integrated circuit die 1 is connected to the upper surface of a wiring board 3 by bumps 5 for flip chip mounting. The pattern side of the integrated circuit die 1 is facing the wiring board 3. A second integrated circuit die 2 is mounted on the rear of the integrated circuit die 1 so that the rear of the integrated circuit die 2 is put in contact with the rear of the integrated circuit die 1. The integrated circuit die 2 and the wiring board 3 are connected through bonding wires 4. The connection of the bonding wires 4 to the wiring board 3 is made to the grand pads 11 on the wiring board 3. This enables increase in the mounting density of electronic components per unit area on the wiring board 3 and miniaturization of electronic equipment.



COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-259374

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数16(全 6 頁)

(21)出願番号

特願平4-58241

(22)出願日

平成4年(1992)3月16日

(71)出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72)発明者 栗井 宏光

神奈川県横浜市栄区田谷町1番地 住友電
気工業株式会社横浜製作所内

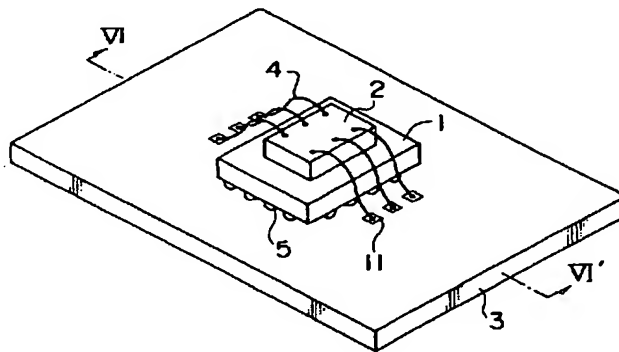
(74)代理人 弁理士 谷 義一 (外1名)

(54)【発明の名称】 高密度実装配線基板およびその高密度実装方法

(57)【要約】

【目的】 ダイ・ボンディング可能な電子部品の実装面積で配線基板面積を割った数以上の個数の電子部品を配線基板に実装すること。

【構成】 配線基板にダイ・ボンディングされた電子部品上に他の電子部品を重ねるようにして実装することにより、配線基板への電子部品の実装を高密度化する。



1

【特許請求の範囲】

【請求項1】 配線基板上に第1のダイ・ボンディング電子部品が実装され、この第1の電子部品の上に第2のダイ・ボンディング電子部品が実装され、この第2の電子部品と前記基板とがワイヤ・ボンディングにより接続されていることを特徴とする高密度実装配線基板。

【請求項2】 前記第2の電子部品が2個以上であることを特徴とする請求項1に記載の高密度実装配線基板。

【請求項3】 前記第1および第2の電子部品がそれぞれ集積回路ダイであり、第1の集積回路ダイはアップ・サイド・ダウンで前記配線基板上にフリップチップ・ボンディングにより接続されていることを特徴とする請求項1または2に記載の高密度実装配線基板。

【請求項4】 前記第1の電子部品が裏面をメタライズ処理された集積回路ダイであり、前記第2の電子部品がダイ・キャップであり、前記集積回路ダイはアップ・サイド・ダウンで前記配線基板上にフリップチップ・ボンディングにより接続され、この集積回路ダイのメタライズ裏面と前記配線基板上のグラウンドに接続しているパッドとの間がワイヤ・ボンディングにより接続され、前記ダイ・キャップとワイヤ・ボンディングにより接続されている前記配線基板上のパッドは前記集積回路ダイに供給する電源電圧と同じ電圧の電源に接続されていることを特徴とする請求項1または2に記載の高密度実装配線基板。

【請求項5】 前記第1の電子部品がダイ・キャップであり、このダイ・キャップは前記配線基板上のグラウンドパターンに接続され、前記第2の電子部品が集積回路ダイであり、この集積回路ダイはその裏面が前記ダイ・キャップ上に接続され、前記ダイ・キャップと前記配線基板上の電源パッドとの間にはワイヤ・ボンディングにより接続され、かつ前記集積回路ダイの電源パッドが前記ダイ・キャップにワイヤ・ボンディングにより接続されていることを特徴とする請求項1または2に記載の高密度実装配線基板。

【請求項6】 配線基板に第2のダイ・ボンディング電子部品が埋め込まれ、ワイヤ・ボンディングにより前記第2の電子部品と前記配線基板とが接続され、前記第2の電子部品を覆うように第1の電子部品が前記配線基板上に実装されていることを特徴とする高密度実装配線基板。

【請求項7】 前記第2の電子部品が2個以上であることを特徴とする請求項6に記載の高密度実装配線基板。

【請求項8】 前記第1および第2の電子部品がそれぞれ集積回路ダイであり、前記第2の集積回路ダイは前記配線基板にフリップチップ・ボンディングにより取り付けられていることを特徴とする請求項6または7に記載の高密度実装配線基板。

【請求項9】 配線基板上に第1のダイ・ボンディング電子部品を実装し、この第1の電子部品の上に第2のダイ・ボンディング電子部品を実装し、前記第2の電子部品と前記基板とをワイヤ・ボンディングにより接続することを特徴とする配線基板の高密度実装方法。

2

【請求項10】 前記第2の電子部品が2個以上であることを特徴とする請求項9に記載の配線基板の高密度実装方法。

【請求項11】 前記第1および第2の電子部品がそれぞれ集積回路ダイであり、前記第1の集積回路ダイはアップ・サイド・ダウンで前記配線基板上にフリップチップ・ボンディングにより接続することを特徴とする請求項9または10に記載の配線基板の高密度実装方法。

【請求項12】 前記第1の電子部品が裏面をメタライズ処理した集積回路ダイであり、前記第2の電子部品がダイ・キャップであり、前記集積回路ダイはアップ・サイド・ダウンで前記配線基板上にフリップチップ・ボンディングにより接続し、前記集積回路ダイのメタライズ裏面と前記配線基板上のグラウンドに接続しているパッドとの間をワイヤ・ボンディングにより接続し、前記ダイ・キャップとワイヤ・ボンディングにより接続している前記配線基板上のパッドは前記集積回路ダイに供給する電源電圧と同じ電圧の電源に接続していることを特徴とする請求項9または10に記載の配線基板の高密度実装方法。

【請求項13】 前記第1の電子部品がダイ・キャップであり、このダイ・キャップは配線基板上のグラウンドパターンに接続し、前記第2の電子部品が集積回路ダイであり、この集積回路ダイはその裏面を前記ダイ・キャップ上に接続し、前記ダイ・キャップと前記配線基板上の電源パッドとの間にはワイヤ・ボンディングにより接続し、かつ前記集積回路ダイの電源パッドを前記ダイ・キャップにワイヤ・ボンディングにより接続することを特徴とする請求項9または10に記載の配線基板の高密度実装方法。

【請求項14】 配線基板に第2のダイ・ボンディング電子部品を埋め込み、ワイヤ・ボンディングにより前記第2の電子部品と前記配線基板とを接続し、前記第2の電子部品を覆うように第1のダイ・ボンディング電子部品を前記配線基板上にフリップチップ・ボンディングにより実装することを特徴とする配線基板の高密度実装方法。

【請求項15】 前記第2の電子部品が2個以上であることを特徴とする請求項14に記載の配線基板の高密度実装方法。

【請求項16】 前記第1および第2の電子部品がそれぞれ集積回路ダイであり、前記第2の集積回路ダイは前記配線基板にフリップチップ・ボンディングにより取り付けられることを特徴とする請求項14または15に記載の配線基板の高密度実装方法。

【発明の詳細な説明】

【0001】

3

【産業上の利用分野】本発明は、集積回路ダイやダイ・キャップなどのダイ・ボンディング可能な電子部品を高密度に実装した配線基板および該配線基板の高密度実装方法に関するものである。

【0002】

【従来の技術】電子機器の機能の大規模化、高速化が求められるにつれ、論理LSIのゲート当りの遅延時間は、数百psと高速化してきた。その結果、プリント基板上に多数のDIP (dual inline package) やピン・グリッド・アレー (pin grid array) を搭載する従来の実装形態では、高速化したLSIの性能を充分に発揮させることが困難になってきた。これは、チップ間の配線が長く、信号の伝播時間がかかり、前記遅延時間を短縮できないためである。

【0003】これに対して、1枚のセラミック基板上に多くのチップを搭載し、チップ間の配線長さを非常に短くし、高速性能を有するマルチ・チップ・モジュール方式が開発され、実用化されている。

【0004】前記従来のモジュールにおいて、部品の配線基板への接続は、ワイヤ・ボンディングやフリップチップ接続技術などの方法により、個々に行われていた。

【0005】配線基板にダイ・ボンディング可能な電子部品としては、集積回路ダイと、そのバイパスコンデンサ用のダイ・キャップと、を挙げることができる。これらのダイ・ボンディング部品の配線基板への従来の実装構造を以下に説明する。

【0006】図1および図2は、電子部品が集積回路(IC)ダイ1、2の場合の接続構成を示したものである。図1では、これらダイ1、2の配線基板3への接続は、ワイヤ4を用いた接続(ワイヤ・ボンディング)により、個々に行われている。また、図2では、大きい方のダイ1をフリップチップ用バンプ5を用いて、小さい方のダイ2をボンディングワイヤ4を用いて、個々に接続されている。

【0007】図3は、電子部品が、集積回路ダイ6とダイ・キャップ7の場合の接続構成を示したものである。この場合、集積回路ダイ6の配線基板3への接続は、フリップチップ用バンプ5により、ダイ・キャップ7の接続は、ボンディングワイヤ4により、個々に行われている。なお、このダイ・キャップ7の接続では、ダイ・キャップ7からのボンディングワイヤ4は基板3上の電源パッド8に接続される。

【0008】図4は、電子部品が、集積回路ダイ9と大きいサイズのダイ・キャップ10の接続構成を示したものである。この場合、集積回路ダイ9の配線基板3への接続は、集積回路ダイ9に接続したボンディングワイヤ4を配線基板3の電源パッド8およびグランドパッド11に接続することにより行われ、ダイ・キャップ10の接続は、配線基板3上のグランドパターン12に直接接続するとともに、同基板3上の電源パッド8にボンディングワ

4

イヤ4により接続することにより行われている。

【0009】

【発明が解決しようとする課題】前記従来の配線基板および実装方法には、当然のことながら、配線基板に実装するチップは、配線基板の面積をチップ面積で割った数以上には高密度化できないという問題があった。

【0010】

【課題を解決するための手段】前記課題を解決するために、本発明では、配線基板にダイ・ボンディングされた電子部品上に他の電子部品を重ねるようにして実装することにより、配線基板への電子部品の実装を高密度化する。

【0011】すなわち、本発明の高密度実装配線基板は、配線基板上に第1のダイ・ボンディング電子部品が実装され、この第1の電子部品の上に第2のダイ・ボンディング電子部品が実装され、この第2の電子部品と前記基板とがワイヤ・ボンディングにより接続されていることを特徴とするものである。

【0012】また、本発明の高密度実装配線基板の他の形態は、配線基板に第2のダイ・ボンディング電子部品が埋め込まれ、ワイヤ・ボンディングにより前記第2の電子部品と前記配線基板とが接続され、前記第2の電子部品を覆うように第1の電子部品が前記配線基板上に実装されていることを特徴とする。

【0013】次に、本発明の配線基板の高密度実装方法は、配線基板上に第1のダイ・ボンディング電子部品を実装し、この第1の電子部品の上に第2のダイ・ボンディング電子部品を実装し、前記第2の電子部品と前記基板とをワイヤ・ボンディングにより接続することを特徴とする。

【0014】また、本発明の配線基板の高密度実装方法の他の形態は、配線基板に第2のダイ・ボンディング電子部品を埋め込み、ワイヤ・ボンディングにより前記第2の電子部品と前記配線基板とを接続し、前記第2の電子部品を覆うように第1のダイ・ボンディング電子部品を前記配線基板上にフリップチップ・ボンディングにより実装することを特徴とする。

【0015】前記各発明において、ダイ・ボンディング可能な電子部品としては、集積回路ダイやダイ・キャップを挙げることができるが、配線基板にダイ・ボンディングできる部品であるのなら、どのような部品でもよく、また、第1の電子部品ひとつに対して、第2の電子部品は一つに限らず、二つ以上であってもよい。

【0016】

【作用】前記構成の配線基板および配線基板の実装方法によれば、電子部品を重ねた形態で配線基板に実装することができるので、配線基板の単位面積当りの電子部品の実装密度を大幅に向上させることができ、ひいては、電子機器の小形化を図ることができる。

【0017】

5

【実施例】以下、本発明を実施例によりさらに詳しく説明するが、本発明は、これら実施例に限定されるものではない。

【0018】（実施例1）図5および図6に本発明の第1の実施例を示す。この実施例は、フリップチップ実装される集積回路ダイ（第1の電子部品）1と、ワイヤ・ボンディングされる集積回路ダイ（第2の電子部品）2とを配線基板3に実装する場合の一例である。

【0019】第1の集積回路ダイ1は、フリップチップ実装用のバンプ5により、配線基板3上面と接続されている。この集積回路ダイ1のパターン面（表面）は、配線基板3と向き合っている。

【0020】第2の集積回路ダイ2は、この集積回路ダイ2の裏面が第1のダイ1の裏面と接触するように、第1のダイ1の裏面（上面）上に実装されている。この第2のダイ2と配線基板3との間には、ボンディングワイヤ4により接続されている。この場合、ボンディングワイヤ4の配線基板3への接続は、配線基板3上のグランドパッド11に対して行われている。

【0021】なお、第1のダイ1の裏面上に実装される第2のダイは、第1のダイ1の面積が許す限り、1個に限らず、2個以上何個でも良い。

【0022】（実施例2）図7および図8に本発明の第2の実施例を示す。この実施例は、フリップチップ実装される集積回路ダイ（第1の電子部品）6と、そのバイパスコンデンサ用のダイ・キャップ（第2の電子部品）7とを配線基板3に実装する場合の一例である。

【0023】集積回路ダイ6はフリップチップ・ボンディングにより、配線基板3と接続している。また、この集積回路ダイ6の裏面（上面）6aはメタライズされている。

【0024】一方、ダイ・キャップ7は、集積回路ダイ6のメタライズされた裏面6aに接触して実装され、このダイ・キャップ7の反対面（上面）は、配線基板3上の前記集積回路ダイ6の電源電圧と同じ電圧の電源パッド8にワイヤ・ボンディングにより接続されている。

【0025】さらに、集積回路ダイ6の裏面6aと配線基板3上のグランドパッド11との間がワイヤ・ボンディングにより接続されている。

【0026】なお、集積回路ダイ6の供給電源が2電源以上の場合、供給電源数と同数のダイ・キャップ7を集積回路ダイ6の裏面6aに実装してもよい。

【0027】本実施例の構成によれば、電子部品の配線基板への実装密度を大幅に上げることができるばかりでなく、バイパスコンデンサであるダイ・キャップが集積回路の最近傍に実装されるため、バイパスコンデンサとして最もよい働き、すなわち、耐ノイズ性が向上する利点が得られる。

【0028】（実施例3）図9に本発明の第3の実施例を示す。この実施例は、配線基板3にワイヤ・ボンディ

6

ングにより接続される集積回路ダイ（第2の電子部品）9と、そのバイパスコンデンサ用のダイ・キャップ10

（第1の電子部品）とを配線基板3に高密度に実装する場合の一例であり、この場合のダイ・キャップ10は、配線基板3のグランドパターン12に接触されるタイプのダイであり、ダイ・キャップ10より大きいタイプである。

【0029】ダイ・キャップ10は、配線基板3のグランドパターン12上に接触し、実装されている。このダイ・キャップ10上に集積回路ダイ9をその裏面が接触するように実装する。ダイ・キャップ10は、配線基板3上の電源パッド8とワイヤ・ボンディングにより接続されている。集積回路ダイ9の電源供給パッドは、ダイ・キャップ10とワイヤ・ボンディングにより接続されており、これにより集積回路ダイ9は電源の供給を受けている。

【0030】また、集積回路ダイ9のグランドパッドは、配線基板3上のグランドパッド11とワイヤ・ボンディングにより接続されている。

【0031】なお、ダイ・キャップ10上に2個以上の集積回路ダイ9を実装してもよく、この場合、実装密度はさらに上がる。

【0032】本実施例の構成によれば、電子部品の配線基板への実装密度を大幅に上げることができるばかりでなく、バイパスコンデンサであるダイ・キャップが集積回路の最近傍に実装されるため、バイパスコンデンサとして最もよい働き、すなわち、耐ノイズ性が向上する利点が得られる。

【0033】（実施例4）図10に本発明の第4の実施例を示す。この実施例は、フリップチップ実装される集積回路ダイ（第1の電子部品）1と、ワイヤ・ボンディングされる集積回路ダイ（第2の電子部品）2とを配線基板3に実装する場合の別の一例である。

【0034】集積回路ダイ2は、配線基板3に形成された凹部13に埋め込まれるようにして実装されている。この集積回路ダイ2は、ワイヤ・ボンディングにより配線基板3の上面と接続されている。

【0035】一方、集積回路ダイ1は、前記集積回路ダイ2の頭上を覆うようにして配線基板3上にフリップチップ・ボンディングにより実装されている。通常、このフリップチップのバンプ5の直径は、100 μm 程度であるので、配線基板3と集積回路ダイ1との間の空隙は、100 μm 程度となり、凹部13内の集積回路ダイ2に配線基板3の表面から接続するボンディングワイヤ4が、上にある集積回路ダイ1に接触しないで済む。

【0036】なお、前記説明では、配線基板3に埋め込まれるダイは、一つであったが、複数のダイが埋め込まれるようにしてもよく、この場合、実装密度はさらに高くなり、効果的である。

【0037】

【発明の効果】以上説明したように、本発明によれば、電子部品を重ねた形態で配線基板に実装することができ

7

るので、配線基板の単位面積当りの電子部品の実装密度を大幅に向上させることができ、ひいては、電子機器の小形化を図ることができる。

【図面の簡単な説明】

【図1】従来の実装配線基板の斜視図である。

【図2】従来の実装配線基板の斜視図である。

【図3】従来の実装配線基板の斜視図である。

【図4】従来の実装配線基板の斜視図である。

【図5】本発明の第1の実施例の配線基板の斜視図である。

【図6】本発明の第1の実施例の配線基板の断面図（図5のVI-VI'線に沿う断面図）である。

【図7】本発明の第2の実施例の配線基板の斜視図である。

【図8】本発明の第2の実施例の配線基板の断面図（図7のVIII-VIII'線に沿う断面図）である。

【図9】本発明の第3の実施例の配線基板の斜視図である。

【図10】本発明の第4の実施例の配線基板の断面図で

ある。

【符号の説明】

1 集積回路ダイ（第1の電子部品）

2 集積回路ダイ（第2の電子部品）

3 配線基板

4 ボンディングワイヤ

5 フリップチップ実装用のバンプ

6 集積回路ダイ（第1の電子部品）

6a 集積回路ダイのメタライズされた裏面

10 7 パイパスコンデンサ用のダイ・キャップ（第2の電子部品）

8 電源パッド

9 集積回路ダイ（第2の電子部品）

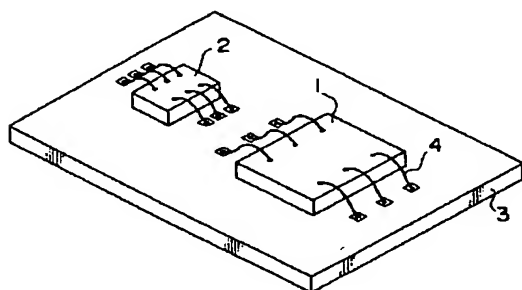
10 パイパスコンデンサ用のダイ・キャップ（第1の電子部品）

11 グランドパッド

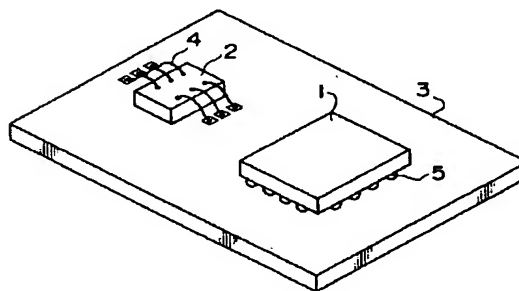
12 配線基板のグランドパターン

13 配線基板に形成された凹部

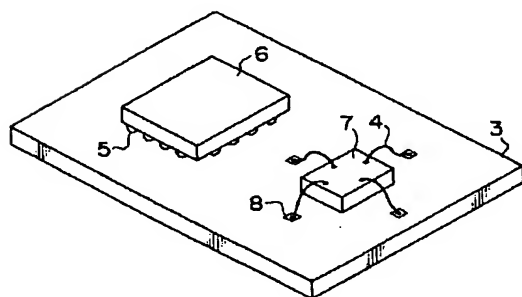
【図1】



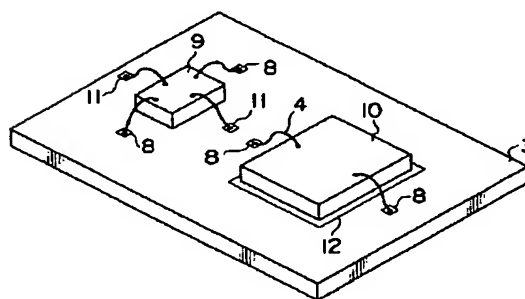
【図2】



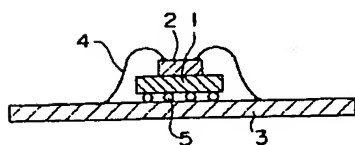
【図3】



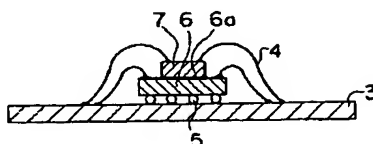
【図4】



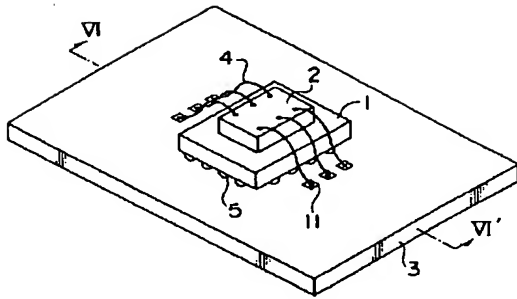
【図6】



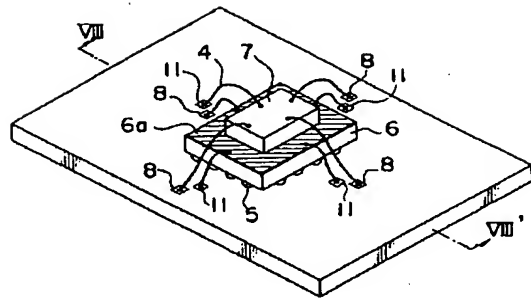
【図8】



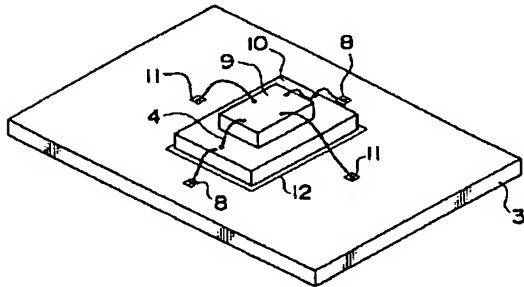
【図5】



【図7】



【図9】



【図10】

